



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Popp, et al. Docket No.: INF-143
Serial No.: 10/812,876 Art Unit: 2812
Filed: March 31, 2004 Examiner: TBD
For: Method for Fabricating Transistors of Different Conduction Types and
Having Different Packing Densities in a Semiconductor Substrate

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Transmittal of Certified Copy of Priority Document

Dear Sir:

Attached please find a certified copy of the foreign application from which
priority is claimed for this case:

Country: Germany
Application Number: 103 14 595.8
Filing Date: March 31, 2003

Respectfully submitted,

Ira S. Matsil
Reg. No. 35,272
Attorney for Applicants

Slater & Matsil, L.L.P.
17950 Preston Rd., Suite 1000
Dallas, TX 75252
Tel: 972-732-1001
Fax: 972-732-9218

BEST AVAILABLE COPY

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 14 595.8

Anmeldetag: 31. März 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

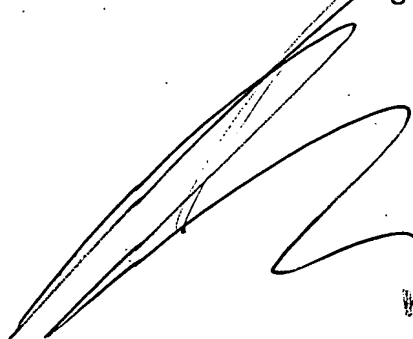
Bezeichnung: Verfahren zur Herstellung von Transistoren unterschiedlichen Leitungstyps und unterschiedlicher Packungsdichte in einem Halbleitersubstrat

IPC: H 01 L 21/8238

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

München, den 31. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Kahle

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12460

Ko/Bg/mk

Anmelderzeichen: 2002P50520 DE
(2002 E 50518 DE)

31.03.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Verfahren zur Herstellung von Transistoren unterschiedlichen Leitungstyps
und unterschiedlicher Packungsdichte in einem Halbleitersubstrat**

Beschreibung

Verfahren zur Herstellung von Transistoren unterschiedlichen Leitungstyps und unterschiedlicher Packungsdichte in einem Halbleitersubstrat

Die Erfindung betrifft ein Verfahren zur Herstellung von in einem ersten Abschnitt einer Oberfläche eines Halbleitersubstrats mit einer hohen Packungsdichte und in einem zweiten Abschnitt mit einer niedrigen Packungsdichte angeordneten Transistoren unterschiedlichen Leitungstyps.

Von neuen Generationen von DRAM(Dynamic Random Access Memory)-Bausteinen zur Speicherung von Daten in Datenverarbeitungsvorrichtungen wird bei kleineren Abmessungen eine höhere Zahl von Speicherzellen und damit eine steigende Speicherdichte gefordert. Dabei umfasst eine Speicherzelle jeweils eine Speicherkapazität zur Speicherung einer einen jeweiligen Dateninhalt der Speicherzelle definierenden elektrischen Ladung und einen Auswahltransistor zur selektiven Adressierung der Speicherkapazität.

Eine hohe Speicherdichte erfordert Speicherzellen mit selbstjustierenden Kontakten. Zur Ausführung selbstjustierender Kontakte ist es üblich, vor der Ausbildung der selbstjustierenden Kontakte Gateelektroden der Auswahltransistoren mit einem Dielektrikum einzukapseln.

Ein Beispiel für eine derartige Prozessführung ist in der Fig. 1 dargestellt. Dabei wird auf einem Halbleitersubstrat 10 eine erste Dielektrikumsschicht 11, aus der ein Gatedielektrikum hervorgeht, und auf der ersten Dielektrikumsschicht 11 eine n-dotierte Gateelektrodenschicht 12 vorgesehen. Die

n-dotierte Gateelektrodenschicht 12 wird mit einer Kontaktschicht 15 versehen.

Fig. 1a zeigt einen sich daraus ergebenden Schichtstapel mit der auf der Gateelektrodenschicht 12 angeordneten Kontaktschicht 15, die aus einer Silizidschicht, oder aus einer Metallschicht in Verbindung mit einer Barrierenschicht bestehen kann. Zwischen der Gateelektrodenschicht 12 und dem Halbleitersubstrat 10 ist die als Gatedielektrikum dienende erste Dielektrikumsschicht 11 ausgebildet.

Anschließend wird auf den Schichtstapel eine als Hartmaske verwendete Dielektrikumsschicht abgeschieden. Danach wird der Schichtstapel mit einem lithographischen Verfahren strukturiert. Es entstehen jeweils einem Transistor zugeordnete Gatestrukturen 5. Die Gatestrukturen 5 werden mit einer zweiten Dielektrikumsschicht 16 eingekapselt.

In der Fig. 1b sind mehrere Gatestrukturen 5 dargestellt. Aus der Gateelektrodenschicht 12 sind Gateelektroden 7, die jeweils mit einer Kontaktschicht 15 versehen sind, hervorgegangen. Die Gatestrukturen 5 sind jeweils mit einer zweiten Dielektrikumsschicht 16 eingekapselt. Die Gatestrukturen 5 sind in einem ersten Abschnitt 1 des Halbleitersubstrats 10, in dem ein Speicherbereich eines DRAM-Bausteins ausgebildet wird, mit einer hohen Packungsdichte eng benachbart angeordnet und sind Transistoren 3 zuzuordnen, die als Auswahltransistoren von Speicherzellen ausgebildet werden. In einem zweiten Abschnitt 2 sind die Gatestrukturen 5 in einem größeren Abstand zueinander mit hoher Packungsdichte angeordnet und sind Transistoren 5, 5' von Logikschaltkreisen, etwa zur Signalkonditionierung und Adressierung zugeordnet.

In der Fig. 1c sind im zweiten Abschnitt 2 n-leitende Transistoren 3 nach einer n-Dotierung von jeweils zugeordneten Source/Drain-Bereichen 6 und p-leitende Transistoren 3' nach einer p-Dotierung zugeordneter Source/Drain-Bereiche 6' dargestellt.

Bei dieser Art der Prozessführung ist die Art der Herstellung der Gateelektroden nachteilig, denn sie führt dazu, dass die Gateelektroden unabhängig von einem Leitungstyp des Transistors immer den gleichen Dotiertyp aufweisen. Im Beispiel der Fig. 1 werden also sowohl n-leitende als auch p-leitende Transistoren mit n-dotierten Gateelektroden vorgesehen. Nachteilig an einem solchen Transistortyp ist eine schlechte Skalierbarkeit und eine gegenüber einem p-leitenden Transistor mit p-dotierter Gateelektrode geringere Leistungsfähigkeit.

Es lässt sich also bei der herkömmlichen Prozessführung der für reine Logikschaltkreise übliche so genannte DWF (Dual-work-function)-Prozess, bei dem Source/Drain-Bereiche und Gateelektrode eines Transistors simultan mit dem selben Dotierstoff dotiert werden, nicht integrieren. Für einen solchen DWF-Prozess sollte die Gateelektrode zum Zeitpunkt der Dotierung der Source/Drain-Bereiche freiliegen.

Ein weiterer Nachteil der gekapselten Gatestrukturen ergibt sich daraus, dass sich ein für Logikschaltkreise üblicher selbstjustierender Silizidierungsprozess (SALICID, Self-Aligned-Silicid-Prozess), bei dem die Source/Drain-Bereiche und die Gateelektrode eines Transistors zur Verringerung des ohmschen Widerstandes an den Kontaktstellen mit einer selbstjustierenden Silizidschicht versehen werden, nicht durchführen lässt. Bei einem Transistor für einen Logikschaltkreis mit hoher Leistungsfähigkeit dürfen die Gate-

lektroden bei der Silizidierung nicht eingekapselt sein. Ein Verzicht auf gekapselte Gateelektroden erschwert aber die selbstjustierende Kontaktierung im Speicherbereich und damit die Realisierung einer hohen Speicherdichte. Es lassen sich
5 also entweder DRAM-Bausteine mit hoher Speicherdichte und mit in ihrer Leistungsfähigkeit eingeschränkten Logikschaltkreisen oder aber DRAM-Bausteine mit Logikschaltkreisen hoher Leistungsfähigkeit aber geringer Speicherdichte herstellen.

10 Eine Möglichkeit, die Nachteile einer gemeinsamen Prozessierung von Logik- und Speicherbereich zu umgehen, ist in der US 6,287,913 B1 beschrieben. Hier erfolgt die Prozessierung von Logik- und Speicherbereich voneinander unabhängig. Es wird zunächst der Speicherbereich prozessiert und anschließend mit
15 einer Schutzschicht versehen. Danach wird der Logikbereich prozessiert. Bei dieser Vorgehensweise ist gegenüber der eingangs beschriebenen Prozessierung nahezu die doppelte Anzahl von Prozessschritten erforderlich. Dies ist teuer und zeitaufwändig.

20 Aufgabe der vorliegenden Erfindung ist es daher, ein Verfahren zur Herstellung von in einem Speicherbereich eines Halbleitersubstrats mit einer hohen Packungsdichte und in einem Logikbereich mit einer geringen Packungsdichte angeordneten
25 Transistoren zur Verfügung zu stellen, bei dem auf einfache Weise die im Logikbereich angeordneten Transistoren unabhängig von einem Leitungstyp mit uneingeschränkter Leistungsfähigkeit ausgebildet werden.

30 Diese Aufgabe wird erfindungsgemäß durch das Verfahren nach Patentanspruch 1 gelöst. Vorteilhafte Weiterbildungen des erfindungsgemäßen Verfahrens ergeben sich aus den Unteransprüchen.

Mit dem erfindungsgemäßen Verfahren werden Transistoren unterschiedlichen Leitungstyps hergestellt, die in einem ersten Abschnitt einer Oberfläche eines Halbleitersubstrats mit einer hohen Packungsdichte und in einem zweiten Abschnitt des Halbleitersubstrats mit einer niedrigen Packungsdichte angeordnet sind. Es wird dabei zunächst auf dem Halbleitersubstrat eine Gateelektrodenschicht, die erfindungsgemäß mindestens in einem ersten Abschnitt mit einem Dotierstoff für einen ersten Leitungstyp dotiert ist, vorgesehen. Anschließend werden im ersten und zweiten Abschnitt gekapselte, den Transistoren zugeordnete Gatestrukturen erzeugt, wobei aus der Gateelektrodenschicht Gateelektroden hervorgehen.

Erfindungsgemäß werden zur Einkapselung der Gatestrukturen eine zur Oberfläche des Halbleitersubstrats senkrechte aus einer dritten Dielektrikumsschicht bestehende Spacerstruktur und eine zur Oberfläche des Halbleitersubstrats waagerechte aus einer zweiten Dielektrikumsschicht bestehende Deckelstruktur vorgesehen, wobei die Spacerstruktur und die Deckelstruktur aus selektiv zueinander zu entfernenden Materialien bestehen. Die gekapselten Gatestrukturen dienen dabei als Schutzmaske und/oder Leitstruktur für Hilfsstrukturen zur Ausbildung einer selbstjustierenden Kontaktierung der Transistoren im ersten Abschnitt. Durch die Kapselung werden die Gateelektroden zudem von Kontaktstrukturen isoliert. Nach Aufbringen der Hilfsstrukturen wird im Bereich des ersten Abschnitts eine Schutzschicht aufgebracht, die den ersten Abschnitt vor weiteren, den zweiten Abschnitt betreffenden Prozessschritten schützt.

Gemäß dem erfindungsgemäßen Verfahren werden die im zweiten Abschnitt angeordneten gekapselten Gatestrukturen durch selektives Entfernen der Deckelstrukturen mindestens teilweise wieder geöffnet. Dabei wird mindestens ein Teil der Gate-

lektroden freigelegt. Für mindestens eine erste Teilmenge von im zweiten Abschnitt angeordneten Transistoren werden jeweils die Gateelektrode und zugeordnete Source/Drain-Bereiche simultan mit einem Dotierstoff für einen dem ersten Leitungstyp entgegen gesetzten zweiten Leitungstyp dotiert, so dass die Source/Drain-Bereiche und die Gateelektroden eines Transistors im zweiten Abschnitt jeweils mit einer Dotierung des gleichen Leitungstyps vorgesehen werden.

Das erfindungsgemäße Verfahren bietet mehrere Vorteile. Durch das abschnittsweise Dotieren der Gateelektrodenschicht vor einer Strukturierung lassen sich in der Folge die Gatestrukturen in den beiden Abschnitten auf gleichem Wege gemeinsam herstellen, wobei in vorteilhafter Weise n-leitende Transistoren mit n-dotierten Gateelektroden und p-leitende Transistoren mit p-dotierten Gateelektroden ausgebildet werden. Dadurch wird die Leistungsfähigkeit der Transistoren im zweiten Abschnitt mit einem geringen Mehraufwand an einfachen und unkritischen Prozessschritten deutlich erhöht.

Durch das Öffnen der zuvor eingekapselten und mit einer undotierten Gateelektrodenschicht versehenen Gatestrukturen, lässt sich ein Dual-Work-Function-Prozess integrieren, bei dem die Gateelektrode und die Source/Drain-Bereiche eines Transistors simultan mit demselben Dotierstoff dotiert werden. Ein leistungsschwacher p-leitender Transistor mit einer n-dotierten Gateelektrode wird also durch einen leistungsstarken p-leitenden Transistor mit einer p-dotierten Gateelektrode ersetzt.

Vor dem Aufbringen der teilweise dotierten Gateelektrodenschicht wird auf der Oberfläche des Halbleitersubstrats zunächst eine erste Dielektrikumsschicht vorgesehen. Die Gateelektrodenschicht wird auf die erste Dielektrikumsschicht

aufgebracht und anschließend mindestens im ersten Abschnitt mit einem Dotierstoff für den ersten Leitungstyp dotiert.

5 In einer ersten Ausführungsform des erfindungsgemäßen Verfahrens wird die Gateelektrodenschicht ausschließlich im ersten Abschnitt mit dem Dotierstoff für den ersten Leitungstyp dotiert. Anschließend werden die Gateelektroden von im zweiten Abschnitt angeordneten Transistoren des ersten und des zweiten Leitungstyps freigelegt. Der Vorteil bei diesem Verfahren besteht darin, dass während der Dotierung des ersten Abschnittes der zweite Abschnitt mit einer einfachen Blockmaske abgedeckt werden kann.

15 Bei einer zweiten Ausführungsform wird die Gateelektrodenschicht im ersten Abschnitt und in einem ersten Teilbereich des zweiten Abschnitts mit dem Dotierstoff für den ersten Leitungstyp dotiert. Anschließend werden im zweiten Abschnitt lediglich die Gateelektroden von vom zweiten Leitungstyp vorzusehenden Transistoren freigelegt. Diese Ausführungsform ist deshalb vorteilhaft, weil nur noch ein Teil der im zweiten Abschnitt angeordneten eingekapselten Gatestrukturen geöffnet werden muss, nämlich die Gatestrukturen, die mit einem Dotierstoff für den zweiten Leitungstyp dotiert werden.

25 Vorzugsweise wird auf der abschnittsweise dotierten Gateelektrodenschicht ganzflächig eine Kontaktschicht vorgesehen, die beim Freilegen der Gateelektroden im zweiten Abschnitt wieder entfernt wird. Die Kontaktschicht kann aus einer Silizidschicht oder aus einer Metallschicht in Verbindung mit einer Barrierenschicht bestehen. Durch die Kontaktschicht werden Kontakt- bzw. Zuleitungswiderstände der Gateelektroden verringert. Beim Freilegen der Gateelektroden wird die Kontaktschicht zum Beispiel mittels eines selektiven Nassätzprozesses entfernt.

Um auch eine Silizidierung der Gateelektroden bzw. der Source/Drain-Bereiche der im zweiten Abschnitt angeordneten Transistoren zu ermöglichen, wird erfindungsgemäß nach dem Dotieren der Gateelektroden und dem Ausbilden der Source/Drain-Bereiche mindestens im zweiten Abschnitt eine Schicht aus einem Metall aufgebracht. Das Metall wird erhitzt, wobei ein erster Anteil des Metalls im Bereich der Gateelektroden mit einem Material der Gateelektrode und im Bereich der freiliegenden Abschnitte des Halbleitersubstrats mit einem Material des Halbleitersubstrats zu einer strukturierten Silizidschicht reagiert. Ein zweiter, nicht in der strukturierten Silizidschicht enthaltener Anteil des Metalls wird wieder entfernt. Dieser Prozess ist als selbstjustierender Silizidierungsprozess (SALICID) bekannt. Der Prozess ist selbstjustierend, weil das Metall ganzflächig aufgebracht wird und durch den Temperaturschritt nur an den Stellen reagiert, an denen eine Silizidschicht vorgesehen ist, nämlich dort, wo das Halbleitersubstrat freiliegt. Durch die silizidierten Gateelektroden und Source/Drain-Bereiche sind die Kontaktwiderstände und damit die Reaktionszeiten der Transistoren in vorteilhafter Weise reduziert.

Im zweiten Abschnitt des Halbleitersubstrats werden die Source/Drain-Bereiche von einander benachbarten Transistoren durch Isolationsgräben voneinander getrennt. Diese Isolationsgräben, die noch vor dem Aufbringen des Schichtstapels zur Erzeugung der Gatestrukturen in das Halbleitersubstrat eingebracht werden, haben unter anderem auch den Vorteil, dass sich das Silizid nur auf den Source/Drain-Bereichen und auf den Gateelektroden ausbildet.

Zur Einkapselung der Gatestrukturen wird auf die Kontaktschicht eine zweite Dielektrikumsschicht aufgebracht. Die Ga-

teelektrodenschicht, die Kontaktschicht und die zweite Dielektrikumsschicht werden in gleicher Weise strukturiert und dabei die Gatestrukturen ausgebildet. Auf zur Oberfläche des Halbleitersubstrats vertikalen oder geneigten Seitenwänden
5 der Gatestrukturen wird eine dritte Dielektrikumsschicht vorgesehen. Die Einkapselung der Gatestrukturen ist notwendig, um im ersten Abschnitt für die dicht angeordneten Transistoren eine selbstjustierende Kontaktierung vorsehen zu können. Die Einkapselung wirkt dabei als Leitstruktur für Hilfsstrukturen und als Isolation zwischen den Gateelektroden und den Kontaktstrukturen.
10

Bei einer dritten Ausführungsform des erfindungsgemäßen Verfahrens wird eine vierte Dielektrikumsschicht als Schutzschicht über dem ersten Abschnitt und zur Strukturierung,
15 insbesondere zur Verbreiterung, der Dielektrikumsschichten an den Seitenwänden der Gatestrukturen im zweiten Abschnitt verwendet.

20 Dabei wird die dritte Dielektrikumsschicht so vorgesehen, dass sie sich zusätzlich über Teilabschnitte des ersten Abschnitts, die für die selbstjustierende Kontaktierung auf dem Halbleitersubstrat vorgesehen sind, erstreckt. Bei einer anschließenden Dotierung der Source/Drain-Bereiche im ersten
25 Abschnitt werden für die selbstjustierende Kontaktierung vorgesehene Teilabschnitte des Halbleitersubstrat ausgespart. Darauf werden im ersten Abschnitt Hilfsstrukturen für die selbstjustierende Kontaktierung vorgesehen. Danach wird auf den ersten und auf den zweiten Abschnitt die vierte Dielektrikumsschicht aufgebracht. Die vierte Dielektrikumsschicht wird im zweiten Abschnitt in einer Weise strukturiert, dass durch die vierte Dielektrikumsschicht die an den
30 Seitenwänden der Gatestrukturen ausgebildete dritte Dielekt-

rikumsschicht verstärkt wird. Im ersten Abschnitt wird die vierte Dielektrikumsschicht als Schutzschicht benutzt.

Bei dieser Ausführungsform ist es vorteilhaft, dass die vier-
5 te Dielektrikumsschicht in zweifacher Hinsicht genutzt wird.
Zum Einen wird die vierte Dielektrikumsschicht als Schutz-
schicht über dem ersten Abschnitt benutzt, wodurch das Auf-
bringen und Strukturieren einer gesonderten Schutzschicht ü-
ber dem ersten Abschnitt eingespart wird. Zum Anderen werden
10 im zweiten Abschnitt die Dielektrikumsschichten bzw. Spacer-
strukturen an den Seitenwänden der Gatestrukturen in vorteil-
hafter Weise verstärkt.

Zum Aufbringen der gesonderten Schutzschicht wird eine Ätz-
15 stoppschicht ganzflächig abgeschieden und die abgeschiedene
Ätzstoppschicht mittels einer Maske vom zweiten Abschnitt
entfernt.

Nachfolgend wird die Erfindung anhand der Figuren näher er-
20 läutert, wobei für äquivalente Komponenten gleiche Bezugszei-
chen verwenden werden. Es zeigen:

Fig. 1 Einen schematischen Querschnitt durch ein Halbleiter-
substrat in drei verschiedenen Prozessstadien einer
25 Prozessierung von Transistoren nach bekannter Art,

Fig. 2 einen schematischen Querschnitt durch ein Halbleiter-
substrat in verschiedenen Prozessstadien von nach ei-
nem ersten Ausführungsbeispiel des erfindungsgemäßen
30 Verfahrens prozessierten Transistoren,

Fig. 3 einen schematischen Querschnitt durch ein Halbleiter-
substrat in verschiedenen Prozessstadien von nach ei-

nem zweiten Ausführungsbeispiel des erfindungsgemäßen Verfahrens prozessierten Transistoren,

Fig. 4 einen schematischen Querschnitt durch ein Halbleiter-
substrat in verschiedenen Prozessstadien von nach einem dritten Ausführungsbeispiel des erfindungsgemäßen Verfahrens prozessierten Transistoren.

Die Fig. 1 wurde bereits eingangs erläutert.

Bei dem anhand von Fig. 2 schematisch dargestellten Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird zunächst auf ein Halbleitersubstrat 10 eine erste Dielektrikumsschicht 11 aufgebracht, aus der im weiteren Verfahrensablauf Gatedielektrika ausgebildet werden. Auf der ersten Dielektrikumsschicht 11 wird eine Gateelektrodenschicht 12, etwa aus Polysilizium, abgeschieden.

In der Fig. 2a ist ein sich ergebendes Schichtsystem aus dem Halbleitersubstrat 10, der Gateelektrodenschicht 12 und der dazwischen liegenden ersten Dielektrikumsschicht 11 dargestellt. Ein ebenfalls dargestellter Isolationsgraben 19 ist bereits vor Erzeugung des Schichtsystems eingebracht worden.

Anschließend wird in diesem Ausführungsbeispiel, wie in Fig. 2b schematisch dargestellt, die Gateelektrodenschicht 12 in einem ersten Abschnitt 1 n-dotiert. Die Gateelektrodenschicht 12 ist dabei im zweiten Abschnitt 2 durch eine Blockmaske abgedeckt und bleibt undotiert.

Auf der abschnittsweise dotierten Gateelektrodenschicht 12 wird eine Kontaktschicht 15, etwa Wolframsilizid vorgesehen. Anschließend wird auf der Kontaktschicht 15 eine zweite Dielektrikumsschicht 16 aufgebracht, die etwa aus einem TEOS-

(Tetraethylorthosilan)-Oxid hervorgeht. Danach wird das sich ergebende Schichtsystem durch ein lithographisches Verfahren strukturiert, wobei aus dem Schichtsystem auf dem Halbleiter-substrat 10 Gatestrukturen 5 hervorgehen. Vertikale Seiten-
5 wände der Gatestrukturen 5 werden mit Spacerstrukturen, die in bekannter Technik aus einer dritten Dielektrikumsschicht 17 hervorgehen und etwa aus einem Nitrid bestehen, abgedeckt. Im ersten Abschnitt 1 des Halbleitersubstrats 10 wird nun ein Dotierprozess gesteuert, bei dem zwischen den Gatestrukturen
10 5 im Halbleitersubstrat 10 n-dotierte Source/Drain-Bereiche 6 ausgebildet werden. Anschließend werden im ersten Abschnitt 1 Hilfsstrukturen 13, etwa aus Polysilizium, für eine selbst-justierende Kontaktierung vorgesehen.

15 Fig. 2c zeigt die durch remanente Abschnitte der zweiten Dielektrikumsschicht 16 und die Spacerstrukturen vollständig gekapselten Gatestrukturen 5. Die Gatestrukturen 5 sind im ersten Abschnitt 1, der einem Speicherbereich zugeordnet ist, mit einer hohen Packungsdichte angeordnet und im zweiten Ab-
20 schnitt 2, der einem Logikbereich zugeordnet ist, mit einer niedrigen Packungsdichte angeordnet. Sie weisen jeweils Abschnitte einer ersten Dielektrikumsschicht 11, eine Gateelektrode 7 und einer Kontaktschicht 15 auf. Die Gateelektroden 7 von im ersten Abschnitt 1 angeordneten Gatestrukturen
25 5 sind n-dotiert. Die gekapselten Gatestrukturen 5 bilden eine Leitstruktur für die Hilfsstrukturen 13.

Der erste Abschnitt 1 wird anschließend mit einer Schutzschicht 14, etwa einem Bor-Phosphor-Silikatglass (BPSG), ab-
30 gedeckt. Die Schutzschicht 14 schützt während der weiteren Prozessierung den ersten Abschnitt 1 vor einer den zweiten Abschnitt 2 betreffenden Prozessierung. Im zweiten Abschnitt 2 werden die gekapselten Gatestrukturen 5 geöffnet, wobei zunächst die remanenten Abschnitte der zweiten Dielektrikums-

schicht 16 selektiv zu den aus der dritten Dielektrikums-
schicht 17 bestehenden Spacerstrukturen und anschließend die
Kontaktschicht 15 entfernt werden.

- 5 In der Fig. 2d sind geöffnete Gatestrukturen 5' dargestellt,
die jeweils aus Abschnitten der ersten Dielektrikumsschicht
11 und der undotierten Gateelektrode 7 bestehen. Die im ers-
ten Abschnitt 1 angeordneten Gatestrukturen 5 sind durch die
Schutzschicht 14 abgedeckt.

Wie in Fig. 2e schematisch angedeutet, wird darauf zunächst
ein erster Teil der freigelegten Gateelektroden 7 zusammen
mit den jeweils zugeordneten Source/Drain-Bereichen 6' simul-
tan p-dotiert.

15

Anschließend erfolgt, wie in Fig. 2f gezeigt, eine gleichzei-
tige n-Dotierung des zweiten Teils der Gateelektroden 7 sowie
der jeweils zugeordneten Source/Drain-Bereiche 6. Durch die
Isolationsgraben 19 im Halbleitersubstrat 10 werden die Sour-
20 ce/Drain-Bereiche 6, 6' einander benachbarter Transistoren 3,
3' voneinander isoliert.

25

Entsprechend der Fig. 2g wird mindestens im zweiten Abschnitt
2 in der Folge ein Metall 18, etwa Kobalt, aufgebracht. Durch
einen Temperaturschritt erfolgt in den Bereichen, in denen
das Metall 18 auf Silizium aufliegt, also auf freiliegenden
Abschnitten des Halbleitersubstrats 10 und den freigelegten
Gateelektroden 7 eine Silizidierung. Das dabei gebildete Si-
lizard 18' wird im zweiten Abschnitt 2 lediglich auf den Sour-
30 ce/Drain-Bereichen 6, 6' und den Gateelektroden 7 gebildet.
Die Silizidierung ist daher selbstjustierend. Überschüssiges
Metall 18 wird von der Oberfläche mittels eines Ätzprozesses
entfernt.

Die Verteilung des Silizids 18' nach der selbstjustierenden Silizidierung ist in der Fig. 2h dargestellt. Das Silizid 18' bedeckt die Source/Drain-Bereiche 6, 6' und die Gateelektroden 7 von im zweiten Abschnitt 2 ausgebildeten Transistoren 3, 3'. Durch das Silizid 18' wird der ohmsche Widerstand von Zuleitungen zu den Gateelektroden 7 bzw. zu den Source/Drain-Bereichen 6, 6' verringert und dadurch die Leistungsfähigkeit von im zweiten Abschnitt angeordneten Transistoren 3, 3' erhöht.

Eine Variante des beschriebenen Verfahrens ist als zweites Ausführungsbeispiel des erfindungsgemäßen Verfahrens in der Fig. 3 dargestellt.

15 Dabei wird gemäß Fig. 3a zunächst auf einem Halbleitersubstrat 10 eine erste Dielektrikumsschicht 11 und auf die erste Dielektrikumsschicht 11 eine Gateelektrodenschicht 12 aufgebracht.

20 Entsprechend Fig. 3b wird anschließend im Unterschied zum oben beschriebenen ersten Ausführungsbeispiel nicht nur der erste Abschnitt 1 sondern auch ein erster Teilbereich des zweiten Abschnittes 2 mit einem Dotierstoff vom ersten Leitungstyp dotiert. Dabei werden im ersten Teilbereich des
25 zweiten Abschnittes 2 in der Folge Transistoren 3 vom gleichen Leitungstyp der Transistoren 3 des ersten Abschnitts 1 ausgebildet.

Die anhand der Fig. 3c bis Fig. 3e dargestellte folgende Prozessierung entspricht weit gehend dem bereits anhand der Fig. 2c bis Fig. 2e beschriebenen Vorgehen, mit dem Unterschied, dass im zweiten Abschnitt 2 das Öffnen von für n-leitende Transistoren 3 vorgesehenen gekapselten Gatestrukturen 5 ent-

fällt, da die zugeordneten Gateelektroden 5 bereits n-dotiert und silizidiert sind.

Wie weiter in Fig. 3f gezeigt, erfolgt anschließend die n-Dotierung der Source/Drain-Bereiche 6 der im zweiten Abschnitt angeordneten n-leitenden Transistoren 3. Es werden alle mit einem Dotierstoff vom ersten Leitungstyp versehenen Gateelektroden 7 in einem einzigen Prozessschritt dotiert. Das Öffnen eines Teils der Gatestrukturen 5 im zweiten Abschnitt 2 entfällt. Es wird im zweiten Abschnitt 2 lediglich ein Teil der Gatestrukturen 5 geöffnet.

In der Fig. 4 ist das erfindungsgemäße Verfahren anhand eines dritten Ausführungsbeispiels dargestellt.

15

Dabei werden, wie in Fig. 4a dargestellt, im Halbleitersubstrat 10 zunächst Isolationsgräben 19 vorgesehen. Auf dem Halbleitersubstrat 10 wird die erste Dielektrikumsschicht 11 und auf die erste Dielektrikumsschicht 11 die erste Gateelektroden-schicht 12 aufgebracht.

20

Gemäß Fig. 4b wird die Gateelektroden-schicht 12 in einem ersten Abschnitt 1 mit einem Dotierstoff vom ersten Leitungstyp, in diesem Ausführungsbeispiel mit einem n-leitenden Typ, dotiert und bleibt in einem zweiten Abschnitt 2 undotiert.

25

Nach Aufbringen einer Kontaktschicht 15 und einer zweiten Dielektrikumsschicht 16, die aus einem Nitrid besteht, werden durch einen Ätzprozess die Gatestrukturen 5 ausgebildet. Danach wird eine dritte Dielektrikumsschicht 17, etwa ein TEOS-Oxid, abgeschieden. Die dritte Dielektrikumsschicht 17 wird so strukturiert, dass vertikale Seitenwände der Gatestrukturen 5 und für die selbstjustierende Kontaktierung vorgesehene Teilabschnitte auf dem Halbleitersubstrat 10 bedeckt werden.

30

Ferner erfolgt im ersten Abschnitt 1 die Dotierung der den Gatestrukturen 5 zugeordneten Source/Drain-Bereiche 6, wobei solche Bereiche, die für die selbstjustierende Kontaktierung vorgesehen sind, bei der Dotierung ausgespart werden. Es folgt das Einbringen von Hilfsstrukturen 13 für die selbstjustierende Kontaktierung.

Der Fig. 4c sind die gekapselten Gatestrukturen 5, 5', sowie die Anordnung der Hilfsstrukturen 13 und der n-dotierten Source/Drain-Bereiche 6 im ersten Abschnitt 1 zu entnehmen.

Anschließend wird ganzflächig eine vierte Dielektrikumschicht 20 von ungefähr 20nm bis 60nm Dicke, in bevorzugter Weise 40nm Dicke, abgeschieden. Die vierte Dielektrikumschicht 20 wird in einer Weise strukturiert, dass sie im ersten Abschnitt 1 als Schutzschicht erhalten bleibt. Im zweiten Abschnitt 2 wird sie etwa durch eine anisotrope Ätzung entfernt, wobei Abschnitte der vierten Dielektrikumsschicht an den vertikalen Seitenwänden der Gatestrukturen 5 im zweiten Abschnitt 2 stehen bleiben und die dritte Dielektrikumschicht 17 an den vertikalen Seitenwänden verstärken.

In der Fig. 4d ist die den ersten Abschnitt 1 bedeckende vierte Dielektrikumsschicht 20 dargestellt. Im zweiten Abschnitt 2 verstärken Abschnitte der vierten Dielektrikumsschicht 20 die aus der dritten Dielektrikumsschicht 17 hervorgegangenen Spacerstrukturen an den vertikalen Seitenwänden der Gatestrukturen 5.

Die anschließende anhand der Fig. 4e bis Fig. 4i dargestellte Prozessierung entspricht weit gehend dem bereits anhand der Fig. 2d bis Fig. 2h beschriebenen Vorgehen.

Bei diesem Ausführungsbeispiel wird das einmalige Aufbringen der vierten Dielektrikumsschicht in zweifacher Hinsicht genutzt. Zum Einen schützt die vierte Dielektrikumsschicht 20 im ersten Abschnitt 1 ausgebildete Strukturen vor der den
5 zweiten Abschnitt 2 betreffenden Prozessierung. Zum Anderen werden die Spacerstrukturen im zweiten Abschnitt 2 verstärkt.

Patentansprüche

1. Verfahren zur Herstellung von in einem ersten Abschnitt
5 (1) einer Oberfläche eines Halbleitersubstrats (10) mit einer hohen Packungsdichte und in einem zweiten Abschnitt (2) mit einer niedrigen Packungsdichte angeordneten Transistoren (3, 3') unterschiedlichen Leitungstyps, bei dem:
- auf dem Halbleitersubstrat (10) mindestens im ersten Abschnitt (1) eine Dotierung von einem ersten Leitungstyp aufweisende Gateelektrodenschicht (12) vorgesehen wird,
 - im ersten und zweiten Abschnitt (1,2) gekapselte, den Transistoren zugeordnete Gatestrukturen (5) erzeugt werden, wobei aus der Gateelektrodenschicht (12) Gateelektroden (7)
15 hervorgehen,
 - zur Einkapselung der Gatestrukturen (5) eine zur Oberfläche des Halbleitersubstrats (10) senkrechte aus einer dritten Dielektrikumsschicht (17) bestehende Spacerstruktur und eine zur Oberfläche des Halbleitersubstrats (10) waagerechte
20 aus einer zweiten Dielektrikumsschicht (16) bestehende Deckelstruktur vorgesehen werden, wobei die Spacerstruktur und die Deckelstruktur aus selektiv zueinander zu entfernenden Materialien bestehen,
 - die gekapselten Gatestrukturen (5) als Schutzmaske und/oder
25 Leitstruktur für Hilfsstrukturen (13) für eine selbjustierende Kontaktierung der Transistoren (3) im ersten Abschnitt (1) benutzt werden,
 - im Bereich des ersten Abschnitts (1) eine Schutzschicht (14) aufgebracht wird,
 - 30 - im zweiten Abschnitt (2) angeordnete, gekapselte Gatestrukturen (5) durch selektives Entfernen der Deckelstrukturen geöffnet werden, so dass mindestens ein Teil der Gateelektroden (7) freigelegt werden und

- jeweils die Gateelektrode (7) und zugeordnete Source/Drain-Bereiche (6, 6') mindestens einer ersten Teilmenge von im zweiten Abschnitt (2) angeordneten Transistoren (3, 3') simultan mit einem Dotierstoff für einen dem ersten Leitungstyp entgegen gesetzten zweiten Leitungstyp dotiert werden, so dass jeweils die Source/Drain-Bereiche (6, 6') und die Gateelektrode (7) eines im zweiten Abschnitt angeordneten Transistors (3, 3') jeweils mit einer Dotierung des gleichen Leitungstyps vorgesehen werden.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, dass

- auf der Oberfläche des Halbleitersubstrats (10) eine erste Dielektrikumsschicht (11) vorgesehen wird,
- die Gateelektrodenschicht (12) auf die erste Dielektrikumsschicht (11) aufgebracht wird und
- die Gateelektrodenschicht (12) mindestens im ersten Abschnitt (1) mit einem Dotierstoff für den ersten Leitungstyp dotiert wird.

3. Verfahren nach einem der Ansprüche 1 oder 2,

dadurch gekennzeichnet, dass

- die Gateelektrodenschicht (12) ausschließlich im ersten Abschnitt (1) mit dem Dotierstoff für den ersten Leitungstyp dotiert wird und
- die Gateelektroden (7) von im zweiten Abschnitt (2) angeordneten Transistoren des ersten und des zweiten Leitungstyps freigelegt werden.

4. Verfahren nach einem der Ansprüche 1 oder 2,

dadurch gekennzeichnet, dass

- die Gateelektrodenschicht (12) im ersten Abschnitt (1) und einem ersten Teilbereich des zweiten Abschnitts (2) mit dem Dotierstoff für den ersten Leitungstyp vorgesehen wird und

- die Gateelektroden (7) von vom zweiten Leitungstyp vorzusehenden und im zweiten Abschnitt (2) angeordneten Transistoren freigelegt werden.

5 5. Verfahren nach einem der Ansprüche 1 bis 4,
d a d u r c h g e k e n n z e i c h n e t ,
dass auf der abschnittsweise dotierten Gateelektrodenschicht
(12) eine Kontaktschicht (15) vorgesehen und zum Freilegen
der Gateelektroden (7) im zweiten Abschnitt entfernt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5,
d a d u r c h g e k e n n z e i c h n e t ,
dass zum Freilegen der Gateelektroden (7) die Kontaktschicht
(15) mittels eines selektiven Nassätzprozesses entfernt wird.

15 7. Verfahren nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t , d a s s
nach dem Dotieren der Gateelektroden (7) und dem Ausbilden
der Source/Drain-Bereiche (6, 6')

20 - mindestens im zweiten Abschnitt eine Schicht (18) aus einem
Metall aufgebracht wird,

25 - das Metall erhitzt wird, wobei ein erster Anteil des Me-
talls im Bereich der Gateelektroden (7) mit einem Material
der Gateelektrode (7) und im Bereich der freiliegenden Ab-
schnitte des Halbleitersubstrats (10) mit einem Material
des Halbleitersubstrats (10) zu einer strukturierten Sili-
zidschicht (18') reagiert und

- ein zweiter, nicht in der strukturierten Silizidschicht
(18') enthaltener Anteil des Metalls entfernt wird.

30 8. Verfahren nach einem der Anspruch 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t ,
dass im zweiten Abschnitt (2) im Halbleitersubstrat (10) die
Source/Drain-Bereiche (6, 6') von einander benachbarten Tran-

sistoren (3, 3') voneinander trennende Isolationsgräben (19) vorgesehen werden.

9. Verfahren nach einem der Ansprüche 1 bis 8,

5 d a d u r c h g e k e n n z e i c h n e t , d a s s
zur Einkapselung der Gatestrukturen (5)

- auf die Kontaktschicht (15) eine zweite Dielektrikums-
schicht (16) aufgebracht wird,

10 - die Gateelektrodenschicht (12), die Kontaktschicht (15) und
die zweite Dielektrikumsschicht (16) strukturiert und dabei
die Gatestrukturen (5) erzeugt werden und

- auf zur Oberfläche des Halbleitersubstrats (10) vertikalen
oder geneigten Seitenwänden der Gatestrukturen (5) eine
15 dritte Dielektrikumsschicht (17) vorgesehen wird.

10. Verfahren nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,

dass die dritte Dielektrikumsschicht (17) sich über für die
selbstjustierende Kontaktierung vorgesehene Teilabschnitte

20 auf dem Halbleitersubstrat (10) erstreckend vorgesehen wird.

11. Verfahren nach einem der Ansprüche 1 bis 10,

d a d u r c h g e k e n n z e i c h n e t ,

dass bei einer Dotierung der Source/Drain-Bereiche (6) mit

25 einem Dotierstoff für den ersten Leitungstyp im ersten Ab-
schnitt (3) für die selbstjustierende Kontaktierung vorgese-
hene Teilabschnitte auf dem Halbleitersubstrat (10) ausge-
spart werden.

30 12. Verfahren nach einem der Ansprüche 9 bis 11,

d a d u r c h g e k e n n z e i c h n e t , d a s s

- für die selbstjustierende Kontaktierung im ersten Abschnitt
(1) Hilfsstrukturen (13) vorgesehen werden,

-
- auf den ersten und auf den zweiten Abschnitt (1, 2) eine vierte Dielektrikumsschicht (20) aufgebracht wird und
 - die vierte Dielektrikumsschicht (20) im zweiten Abschnitt (2) in einer Weise strukturiert wird, dass durch die vierte Dielektrikumsschicht (20) die an den Seitenwänden der Gasteststrukturen (5) ausgebildete dritte Dielektrikumsschicht (17) verstärkt wird.

13. Verfahren nach einem der Ansprüche 1 bis 11,

d a d u r c h g e k e n n z e i c h n e t ,

dass zum Aufbringen der Schutzschicht (14),

- eine Ätzstoppschicht abgeschieden wird und
- die Ätzstoppschicht mittels einer Maske in einer Weise strukturiert wird, dass die Ätzstoppschicht über dem zweiten Abschnitt (4) entfernt wird.

Zusammenfassung

Verfahren zur Herstellung von Transistoren unterschiedlichen Leitungstyps und unterschiedlicher Packungsdichte in einem Halbleitersubstrat

Eine Gateelektrodenschicht (12) wird in einem ersten Abschnitt (1) eines Halbleitersubstrats (10) dotiert. Durch eine Strukturierung gehen aus der Gateelektrodenschicht (12) gekapselte Gateelektroden (7) hervor, die im ersten Abschnitt (1) in einer hohen Packungsdichte angeordnet und Auswahltransistoren (3) von Speicherzellen zugeordnet sind, und in einem zweiten Abschnitt (2) in einer niedrigen Packungsdichte angeordnet und Transistoren (3, 3') von Logikschaltungen zugeordnet sind. Nach einer Prozessierung der Auswahltransistoren (3) werden die gekapselten Gateelektroden (5) im zweiten Abschnitt (2) freigelegt und anschließend jeweils simultan mit den jeweils zugeordneten Source/Drain-Bereichen (6, 6') in gleicher Weise dotiert. Zusammen mit einer anschließenden Silizidierung der Gateelektroden (7) und der Source/Drain-Bereiche (6, 6') wird die Leistungsfähigkeit der Transistoren (3, 3') im zweiten Abschnitt (2) mit geringem Mehraufwand deutlich erhöht.

(Fig. 2f)

Bezugszeichenliste

	1	erster Abschnitt
	2	zweiter Abschnitt
5	3	n-leitender Transistor
	3'	p-leitender Transistor
	5	Gatestruktur
	5'	geöffnete Gatestruktur
	6	Source/Drain Bereich erster Leitungstyp
10	6'	Source/Drain Bereich zweiter Leitungstyp
	7	Gateelektrode
	10	Halbleitersubstrat
	11	erste Dielektrikumsschicht
	12	Gateelektrodenschicht
15	13	Hilfsstruktur
	14	Schutzschicht
	15	Kontaktschicht
	16	zweite Dielektrikumsschicht
	17	dritte Dielektrikumsschicht
20	18	Metall
	18'	Silizid
	19	Isolationsgraben
	20	vierte Dielektrikumsschicht

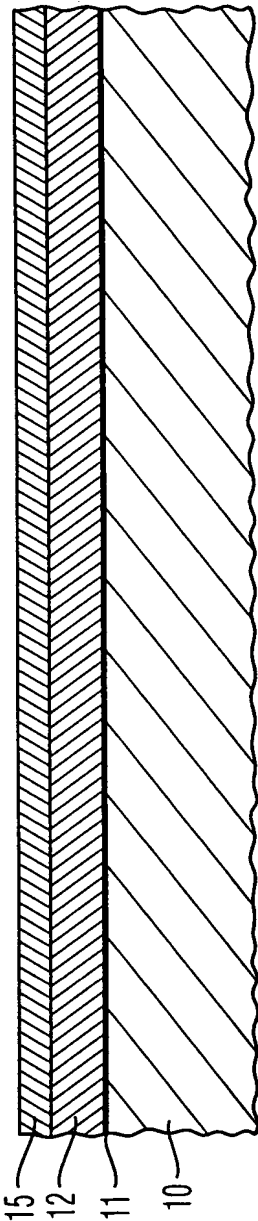


FIG 1A

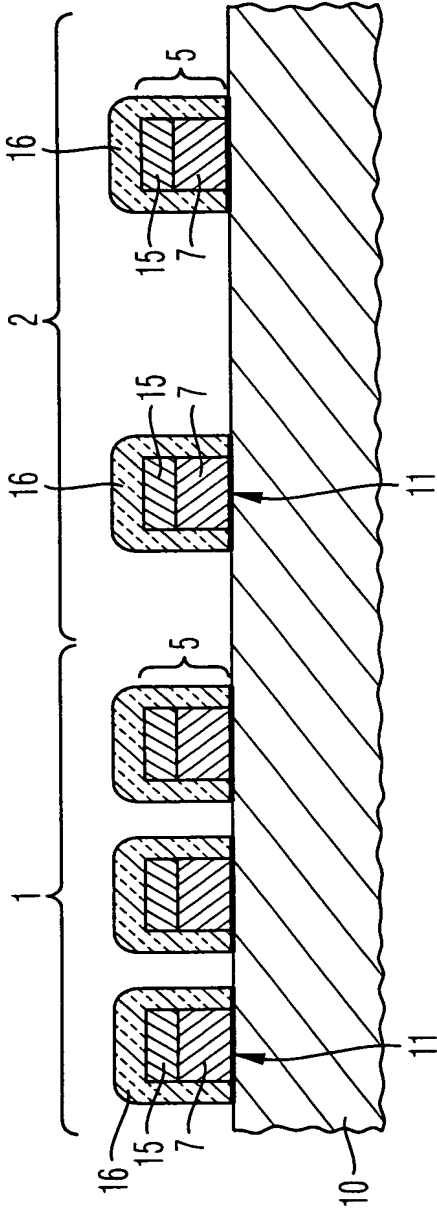


FIG 1B

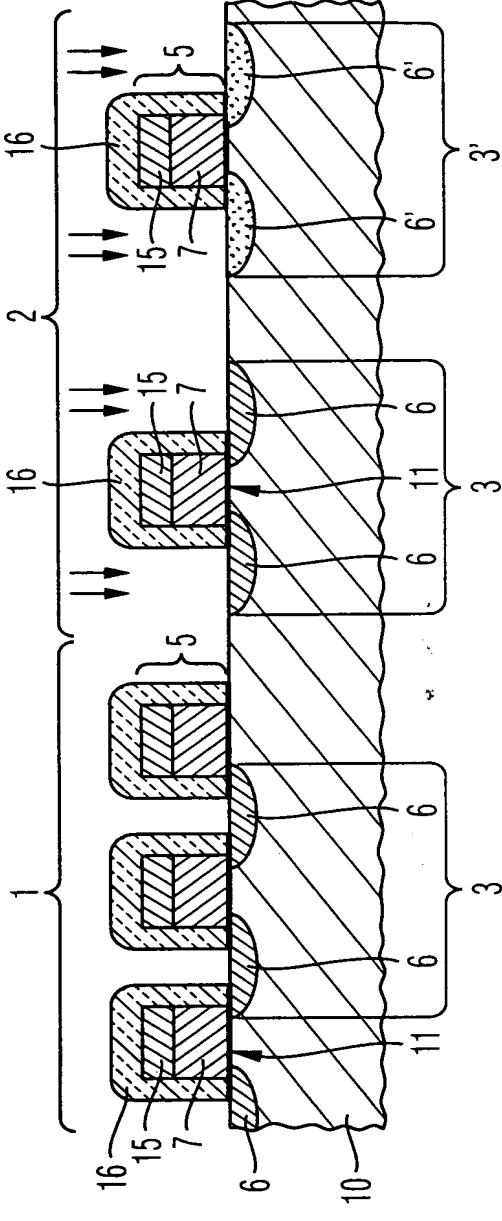


FIG 1C

FIG 2A

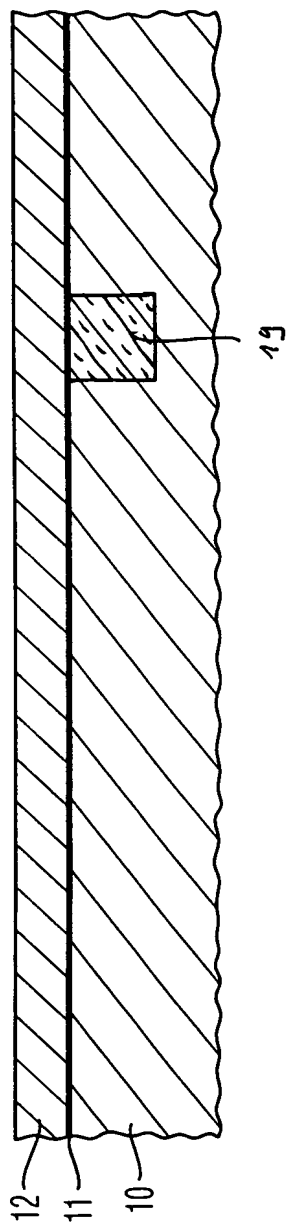
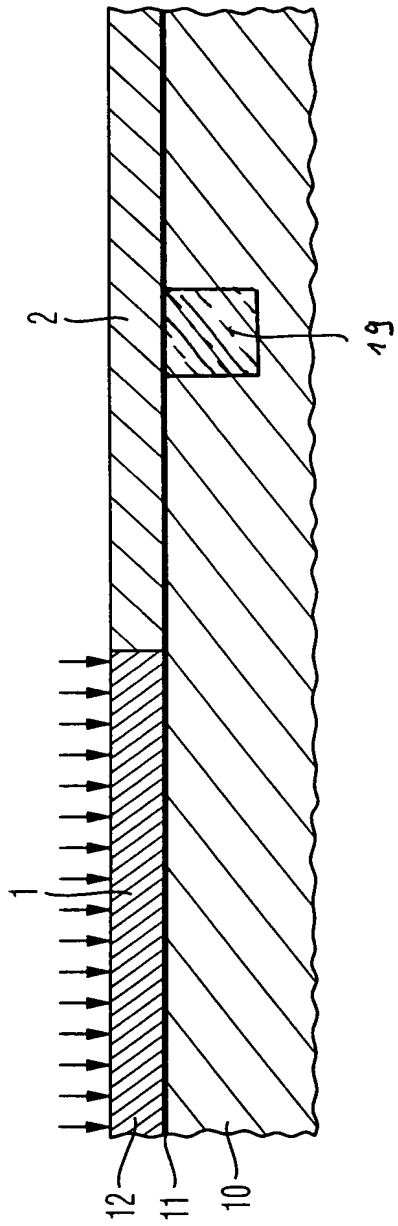


FIG 2B



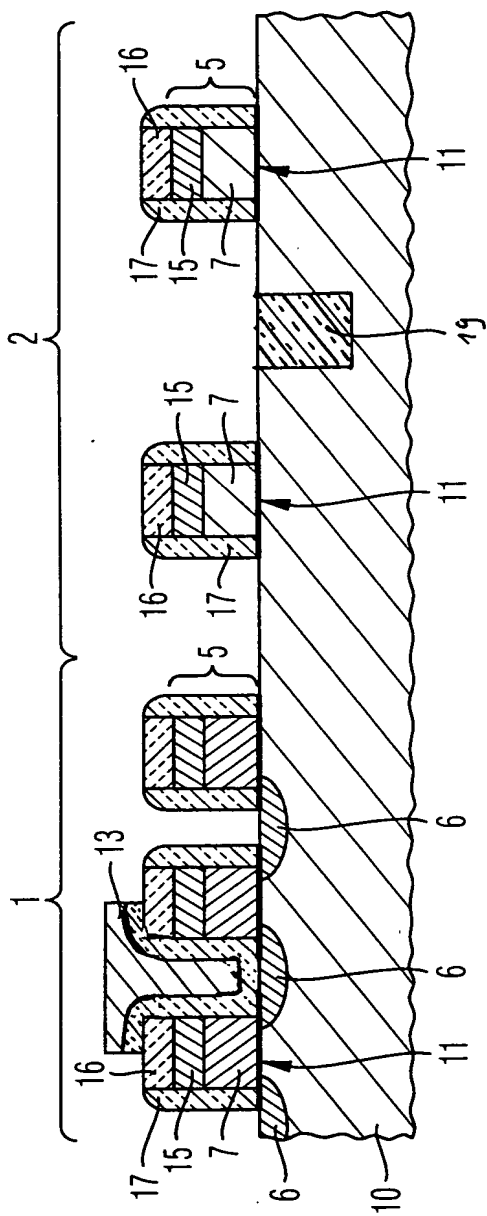


FIG 2C

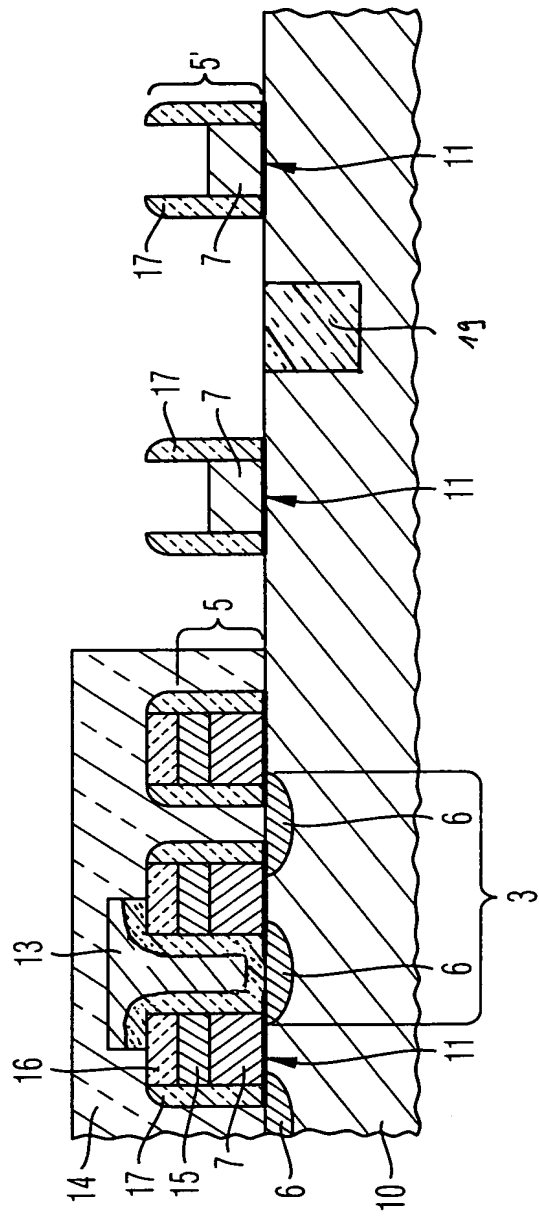


FIG 2D

FIG 2E

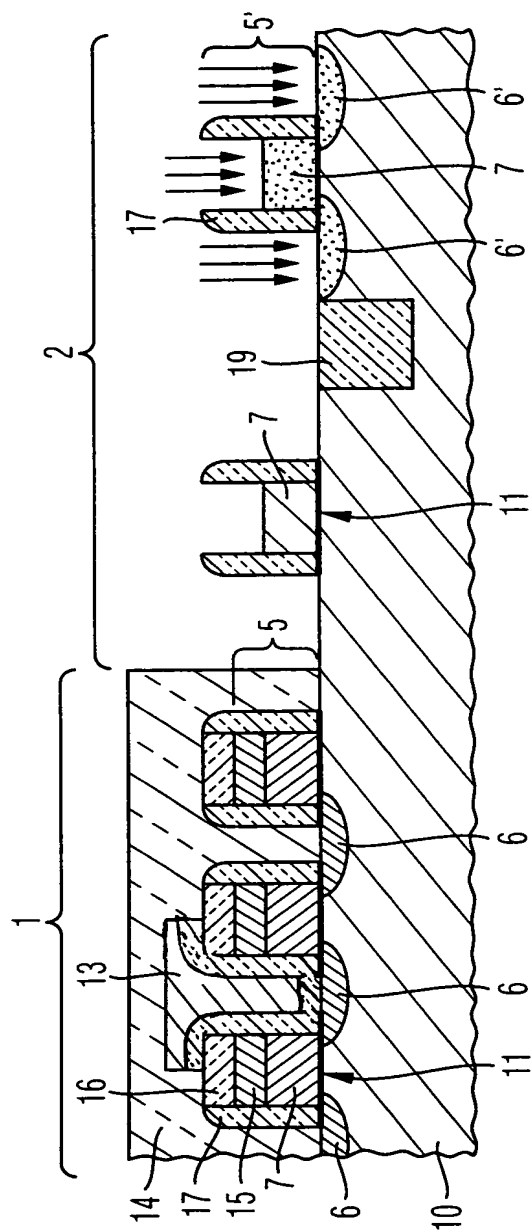
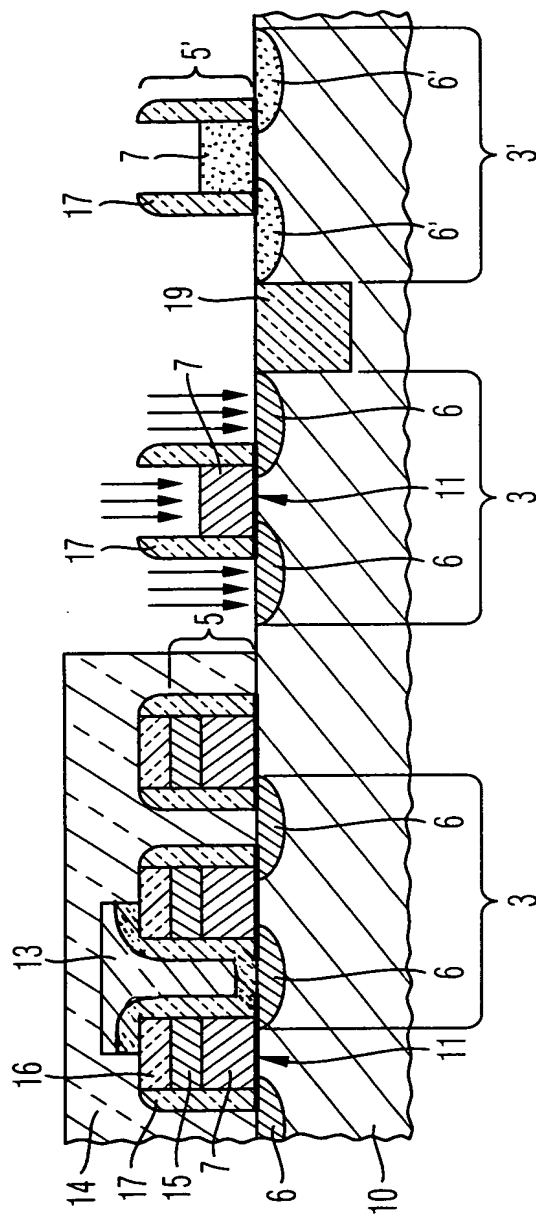


FIG 2F



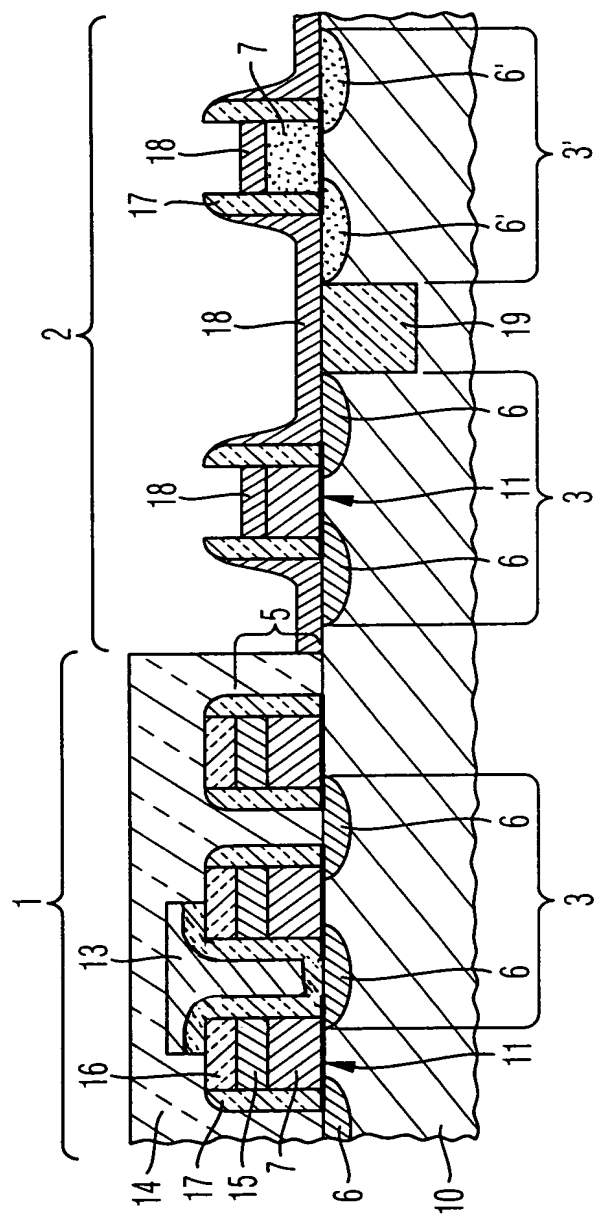


FIG 2G

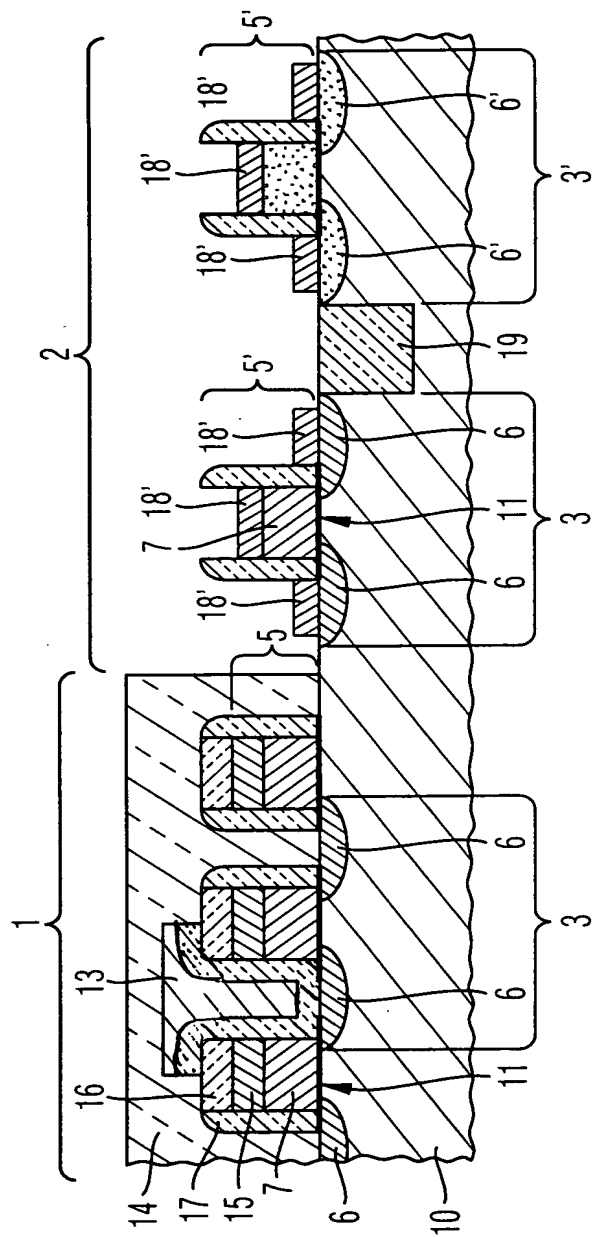


FIG 2H

FIG 3A

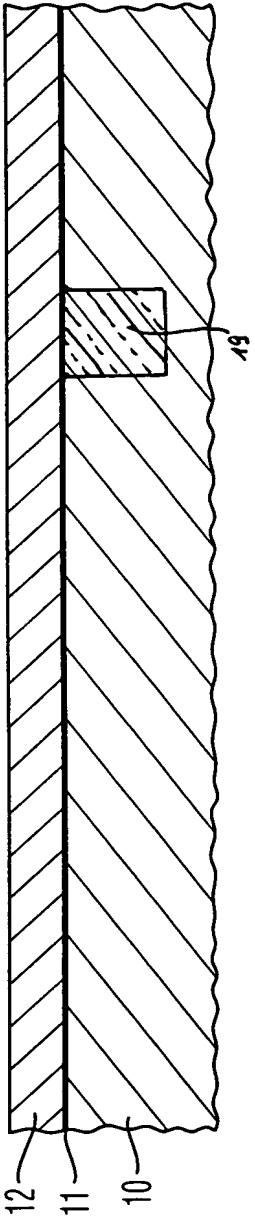


FIG 3B

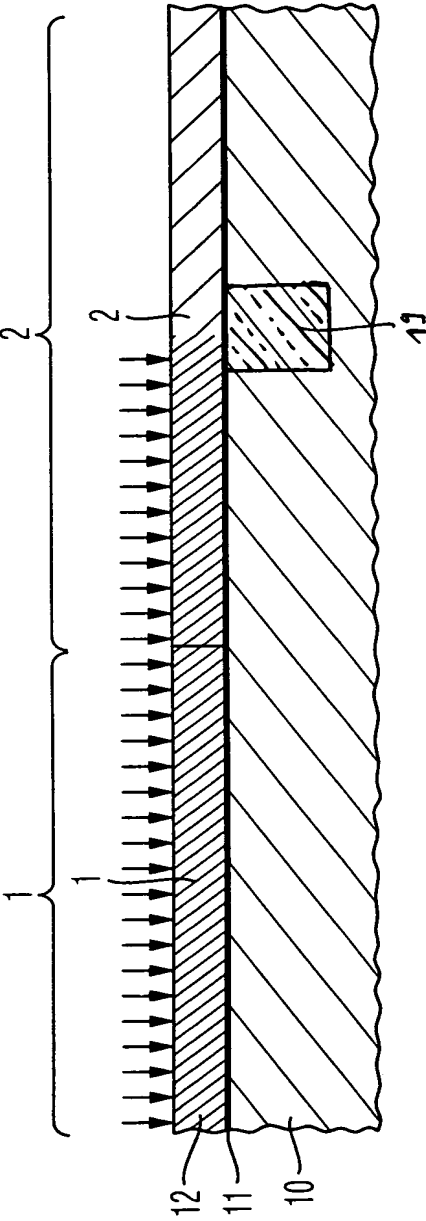
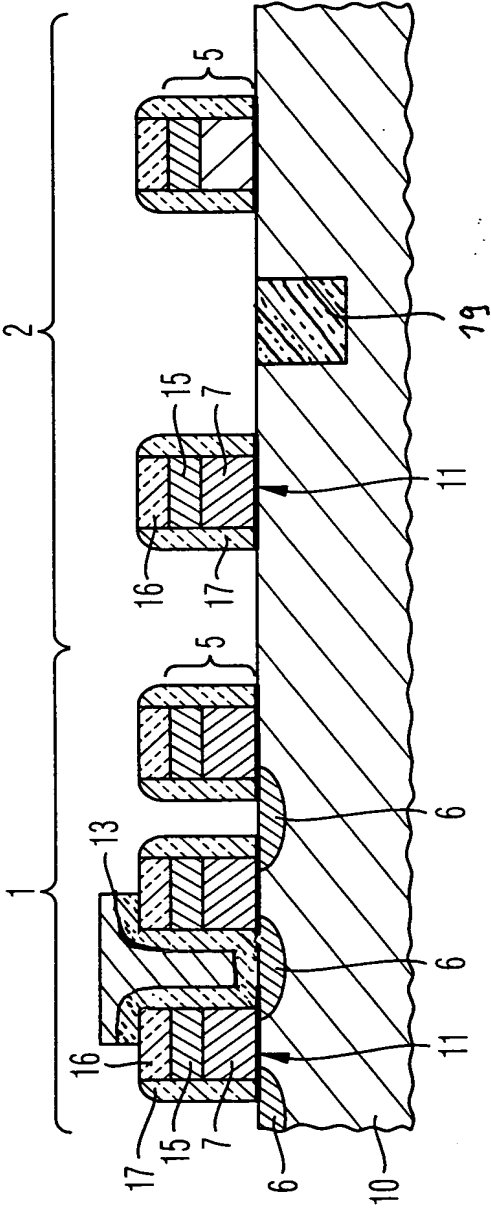


FIG 3C



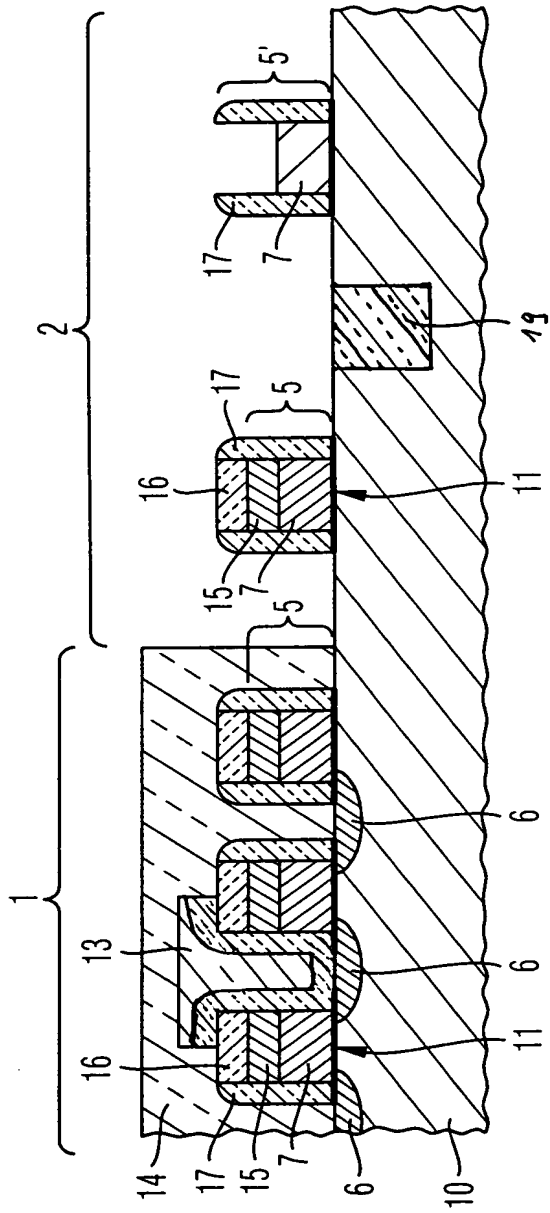


FIG 3D

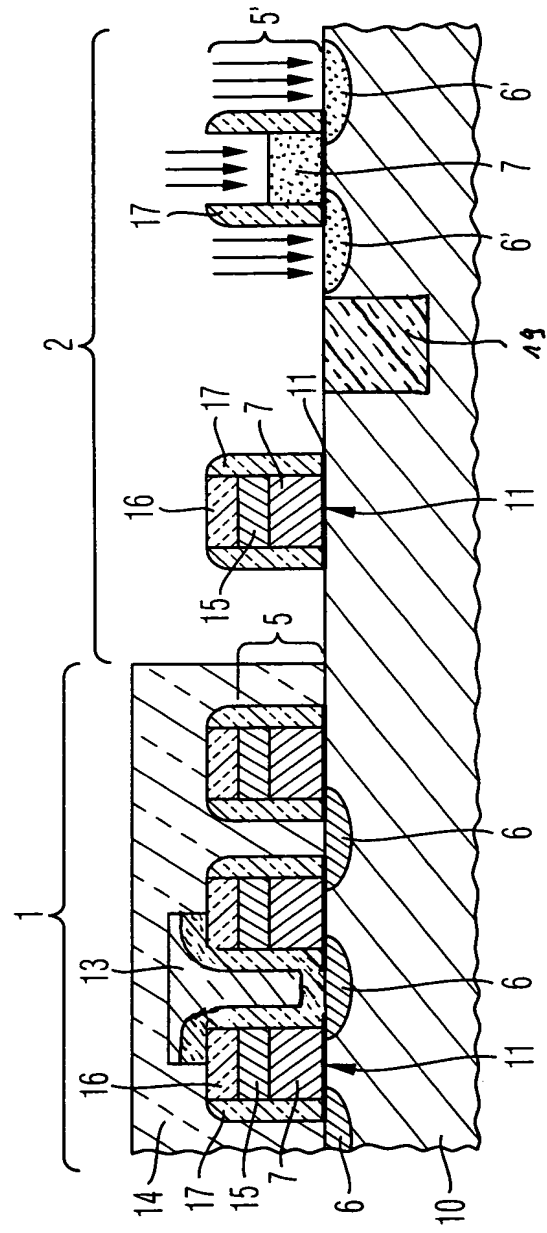


FIG 3E

Fig. 1 is a cross-sectional view of a substrate 10. The substrate 10 has a central layer 11 and a top layer 12. A rectangular region 19 is defined within the central layer 11.

Fig. 1 is a schematic cross-sectional view of a device. It shows a substrate 10 with a top surface 11 and a bottom surface 12. A layer 1 is on the top surface 11, with arrows indicating a flow or force. A rectangular block 2 is embedded in the layer 1, and a dashed rectangular area 19 is shown below it.

FIG 4D

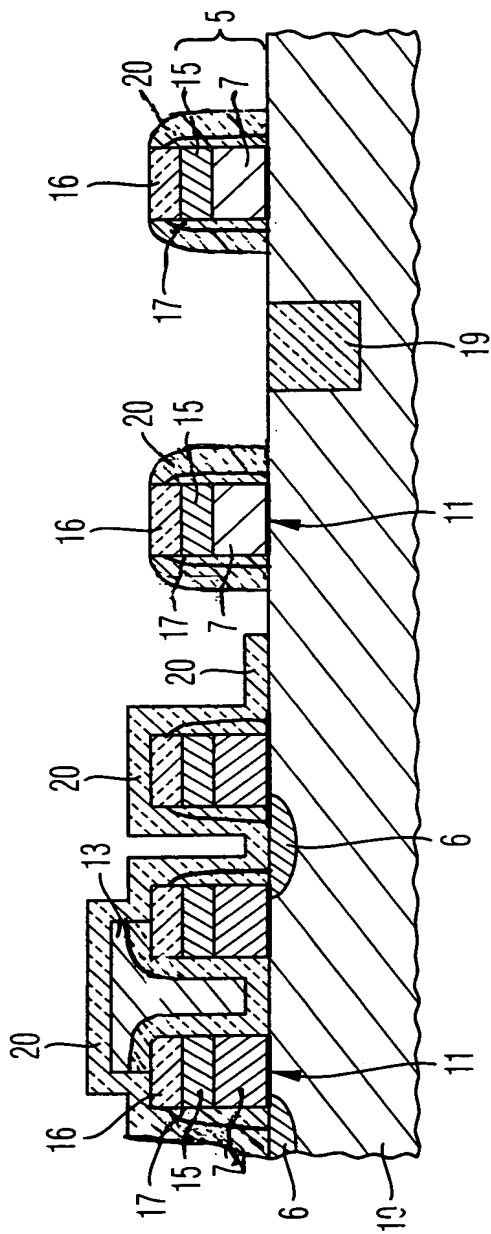
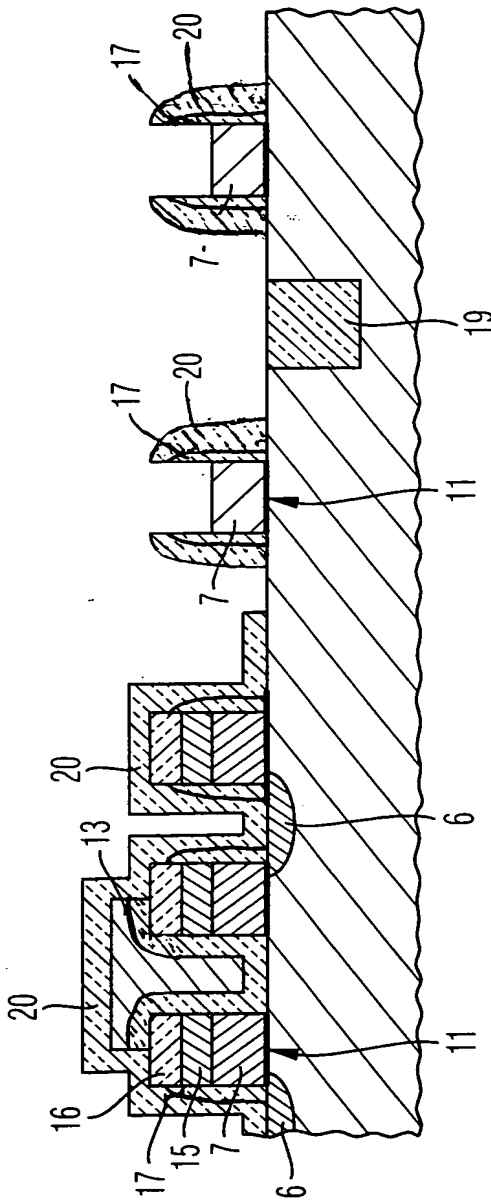


FIG 4E



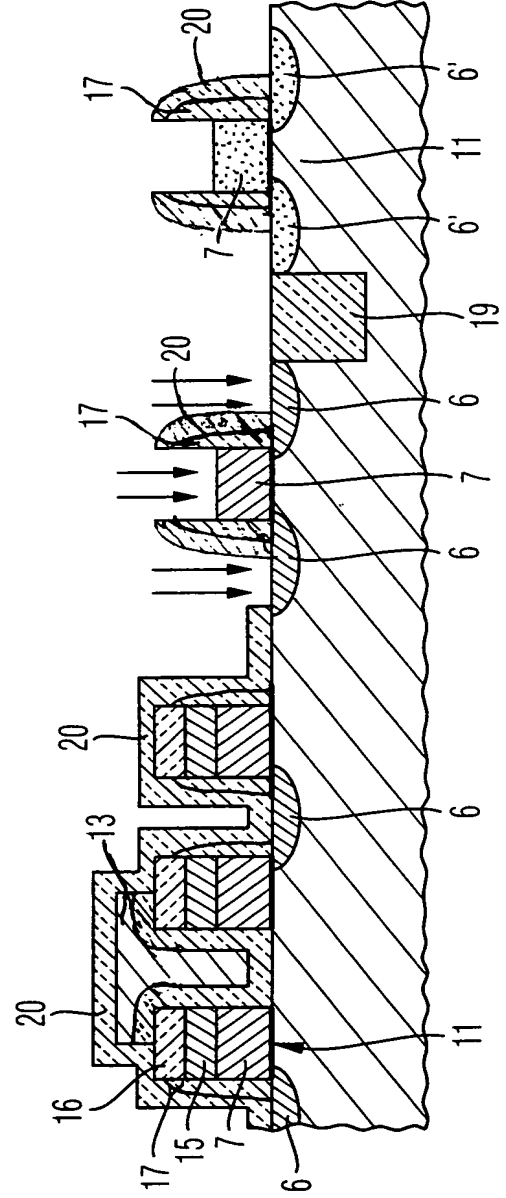
[illegible]

FIG 4G

FIG 4H

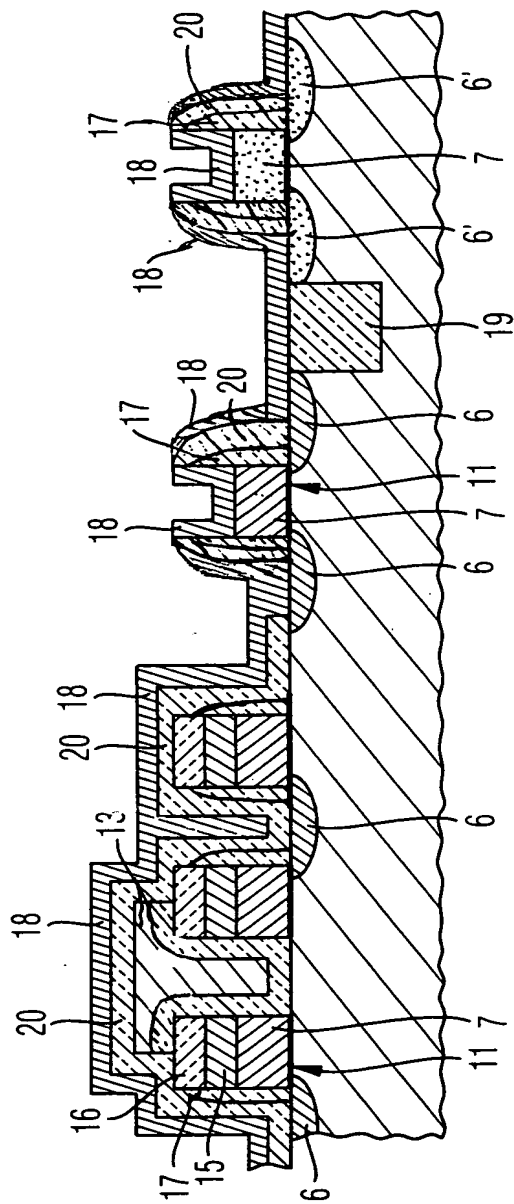
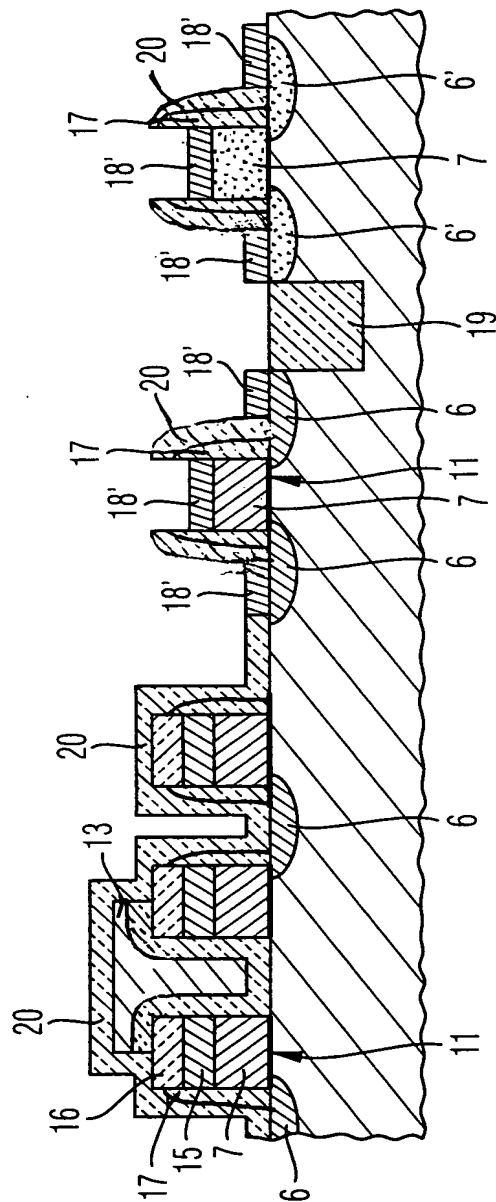
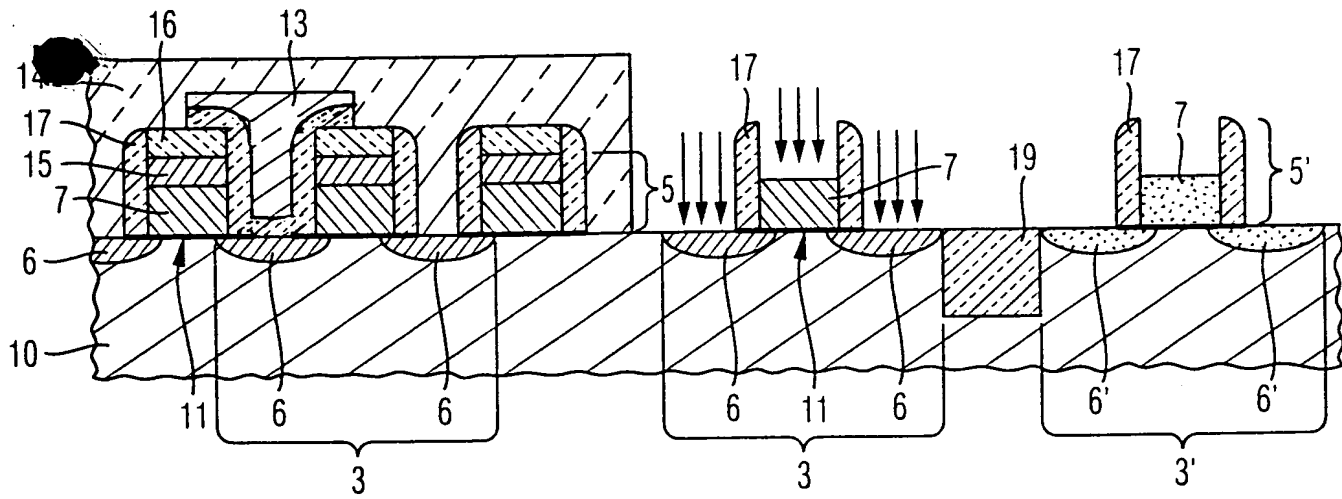


FIG 4I



Figur für die Zusammenfassung

FIG 2F



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.